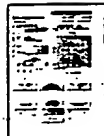


Delphion

Intellectual Property Network

[IPN Home](#) | [Search](#) | [Order](#) | [Shopping Cart](#) | [Login](#) | [Site Map](#) | [Help](#)

Patent Plaques



JP4140791A2: IMAGE PROCESSOR

[View Images \(1 pages\)](#) | [View INPADOC only](#)

Country: JP Japan

Kind:

Inventor(s): HAMADA KAZUHIKO

Applicant(s): SEGA ENTERP LTD

[News, Profiles, Stocks and More about this company](#)

Issued/Filed Dates: May 14, 1992 / Oct. 2, 1990

Application Number: JP1990000264472

IPC Class: G09G 5/02; A63F 9/22; G06F 15/62; G06F 15/66; G09G 5/00; G09G 5/10; G09G 5/36;

Abstract:

Purpose: To realize the image processor which can complete processes in a short period without placing a load on a CPU and also can perform fade in and fade out for not only the whole picture, but also for a sprite surface and individual backgrounds by performing addition/subtraction processes between a series of image data and offset values through hardware.

Constitution: When one image code is inputted from a CPU to a selector 20, image data in a color RAM 22 corresponding to the image code is outputted to a CPU data bus. The output of the image data is inputted to a color offset part 1. Offset data from the CPU, on the other hand, is inputted to and held in offset registers 4 in respective color offset part 1. The outputs of the offset registers 4 are inputted to an adder 6. The adder 6 adds the five-bit image data from the color RAM 22 and the five-bit offset values with signs from the offset registers 4. Thus, the offset values are added to the image data to vary the brightness of an image without rewriting the data in the color RAM 22.

COPYRIGHT: (C)1992,JPO&Japio

Other Abstract Info: none

Foreign References: [Show the 1 patents that reference this one](#)

[Nominate this invention for the Gallery...](#)

Alternative Searches

[Patent Number](#)
[Boolean Text](#)
[Advanced Text](#)

Browse

[U.S. Class by title](#)
[U.S. Class by number](#)

⑪ 公開特許公報(A) 平4-140791

⑫ Int. Cl. ³	識別記号	庁内整理番号	⑬ 公開 平成4年(1992)5月14日
G 09 G 5/02		8121-5G	
A 63 F 9/22		8102-2C	
G 06 F 15/62	3 1 0	8125-5L	
		8420-5L	
G 09 G 5/00		8121-5C	
	D	8121-5G	
	A	8121-5G	
	J	8121-5G	
	H	8121-5G	
	T	8121-5G	
	Z	8121-5G	
5/10			
5/36			

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 画像処理装置

⑮ 特 願 平2-264472

⑯ 出 願 平2(1990)10月2日

⑰ 発 明 者 濱 田 和 彦 東京都大田区羽田1丁目2番12号 株式会社セガ・エンタープライゼス内

⑱ 出 願 人 株式会社セガ・エンタープライゼス 東京都大田区羽田1丁目2番12号

⑲ 代 理 人 弁理士 北野 好人

明 細 書

1. 発明の名称

画像処理装置

2. 特許請求の範囲

1. カラー情報を含む画像データが記憶されたカラーRAMと、前記カラーRAMから読み出された画像データをデジタルアナログ変換して画像表示部へ出力するデジタルアナログ変換器とを有する画像処理装置において、

オフセット値を入力し保持するオフセットレジスタと、

前記オフセットレジスタの前記オフセット値と前記カラーRAMの前記画像データとを加算するアダーと

を有するカラーオフセット部を備え、

前記画像データに前記オフセット値を加算することにより、前記カラーRAM内の画像データを書き替えることなく、画像を変化させることがで

きることを特徴とする画像処理装置、

2. 請求項1記載の画像処理装置において、前記カラーRAMの前記画像データは、光の三原色の情報を各原色ごとに有し、

前記各原色ごとに前記カラーオフセット部を備えたことを特徴とする画像処理装置、

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、画像処理装置、特にコンピュータゲーム機に使用される画像処理装置に関する。

〔従来の技術〕

従来より、コンピュータゲームは、一般大衆の娯楽として楽しまれているが、近年のコンピュータゲーム機は、需要者の要求に応えるためソフトウェア、ハードウェア共に高度化、複雑化している。

特に、コンピュータゲームは、カラーCRT

(例えば、カラーゲーム画面)を利用者が見ながらゲームに参加する形態がほとんどであり、ゲームの画面をいかに楽しいものにするかは、コンピュータゲーム機を開発する者にとって重要なテーマである。

このために、コンピュータゲーム機に使用される画像処理装置の研究が行われている。

コンピュータゲームの画像処理において、画面全体の色合いや輝度を変化させる、フェイドイン/アウトを行わせる場合がある。

このフェイドイン/アウトを実現するには、ゲーム画面の画像データを記憶しているカラーRAM(画像データ記憶用メモリ)をプログラムにより書き替える必要がある。そのためには、CPU(マイクロコンピュータ)が、直接カラーRAMに記憶された指定画面又は指定キャラクタのデータを書き替えたり、オフセット値の加減算を行わなければならない。

近年、ゲームの画面数やキャラクタ数の増大に伴い、ゲーム画面に用いられる色数も増え、プロ

グラムによるCPUのカラーRAMの書き替え回数が、1回の書き替え当り8000回を超える場合も生じてきた。

〔発明が解決しようとする課題〕

こうなると、フェイドイン/アウトを行うためのカラーRAMの書き替えにCPUが占有される時間が無視できなくなってくる。CPU側から見れば、フェイドイン/アウトの処理を行っている間は他のジョブをすることができず、また、利用者側から見れば、フェイドイン/アウトにかかる時間が長くなり過ぎるという問題があった。

従って、最近ではカラーRAMを用いた画像処理装置を有するコンピュータゲーム機では、色合いや輝度を変化させるフェイドイン/アウトはほとんど行われていなかった。

また、従来の画像処理装置では、スプライト面や個々の背景に対して独立にフェイドイン/アウトを行うことができないという問題もあった。

本発明の目的は、フェイドイン/アウトを行う

際、CPUに負担をかけることなく短時間で処理を完了でき、画面全体だけでなく、スプライト面や個々の背景にもフェイドイン/アウトのできる画像処理装置を提供することにある。

〔課題を解決するための手段〕

上記目的は、カラー情報を含む画像データが記憶されたカラーRAMと、前記カラーRAMから読み出された画像データをデジタルアナログ変換して画像表示部へ出力するデジタルアナログ変換器とを有する画像処理装置において、オフセット値を入力し保持するオフセットレジスタと、前記オフセットレジスタの前記オフセット値と前記カラーRAMの前記画像データとを加算するアダーとを有するカラーオフセット部を備え、前記画像データに前記オフセット値を加算することにより、前記カラーRAM内の画像データを書き替えることなく、画像を変化させることができることを特徴とする画像処理装置によって達成される。

〔作用〕

本発明によれば、フェイドイン/アウトを行う際、CPUに負担をかけることなく短時間で処理を完了でき、画面全体だけでなく、スプライト面や個々の背景にもフェイドイン/アウトができるようになる。

〔実施例〕

本発明の一実施例による画像処理装置を第1図を用いて説明する。

同図(a)は、本発明の一実施例による画像処理装置のブロック図、同図(b)は、本発明の一実施例によるカラーオフセット部のブロック図を示す。

カラーRAM22のデータ書き込みアドレスを指定するためのCPUアドレスと、カラーRAM22からデータを読出すための画像コードがセレクタ20に入力される。

セレクタ20により、CPUアドレスからカラーRAM22のアドレスが指定されると、画像デ

ータを持つCPUがカラーRAM22に入力される。カラーRAM22には、ゲームのスプライト面や図々の背景の色を特定する画像データが書き込まれる。このカラーRAM22に多数の画像データを記憶しておくことにより、色数の豊富な画面を作成することができる。

カラーRAM22の画像コードには、R(赤)、G(緑)、B(青)の光の三原色の情報が画像データとして記憶されている。ある画像コードがCPUからセクタ20に入力されると、カラーRAM22の画像コードに対応する画像データがCPUデータバスに出力される。画像データの出力は、R、G、B各々5ビットの情報として各R、G、B用のカラーオフセット部1に入力される。

一方、CPUからの6ビット(符号+5ビット)で構成されるオフセットデータが、CPUデータとして、各カラーオフセット部1内のオフセットレジスタ4に入力され保持される。オフセットレジスタ4の出力はアダー6に入力される。

コントロール信号1及び2は、各カラーオフセ

ット部1内のコントロールロジック2に入力する。コントロール信号1及び2は各種のビデオ信号、CPUのコントロールレジスタの値、及びスプライト面等の優先順位を決めるビット等を含んだものである。これらのコントロール信号により、コントロールロジック2は、カラーオフセット部1で処理されるべき画像(全画面、スプライト、背景等)を選択し、また、オフセットレジスタ4が保持しているオフセット値をアダー6に出力するかどうかを決定する。

RGBそれぞれのカラーオフセット部1に入力するカラーRAM22からの画像データは、アダー6に入力される。

アダー6において、カラーRAM22からの5ビットの画像データと符号付き5ビットのオフセットレジスタ4のオフセット値が加算される。

画像データは、5ビットであるから、0から31までの32段階の輝度のうちの一つを取ることができる。画像データが0の場合は輝度が0ということであり、従ってR、G及びB全ての画像デ

ータが0の場合は画像は黒となる。この画像データにオフセット値を加算することにより、カラーRAM22内のデータを書き替えることなく、画像の輝度を変化させることができる。

例えばR用カラーオフセット部1の場合、ある画像データ値が7(00111)で、オフセット値が16(10000)であれば、演算結果は23(10111)であり、赤色の輝度を高くしたことになる。コントロールロジック2により、オフセットレジスタ4のオフセット値がアダー6に出力されない場合は、当然画像データの値は変化しない。

アダー6の演算結果は、折あふれ処理部8に入力され、折あふれ処理が行われる。オーバーフローの場合は強制的に31(11111)にされ、アンダフローの場合は強制的に0(00000)にされる。

各カラーオフセット部の折あふれ処理部8の出力は、それぞれ5ビットのデジタルのRGB信号として16ビットのDAC(デジタル・アナログ

変換器)24に入力する。DAC24の入力は15ビットがRGB信号に割り当てられ、残り1ビットはSHADEが入力される。これらのデジタルのRGB信号は、DAC24によりアナログのRGB信号とされ、CRT26の画像信号入力端子に入力される。

このように、本実施例の画像処理装置は、画像データのデジタル処理部の最終段で、RGB信号のR、G及びBそれぞれに対応する独立したオフセット値を設け、必要な画像データに対してのみオフセット値を加減算することができることを特徴としている。

従って、一連の画像データとオフセット値の加減算処理をハードウェアが行うので、CPU処理の軽減を図ることができ、フェイドイン/アウト等の特殊効果を容易に得ることができる。

[発明の効果]

以上の通り、本発明によれば、フェイドイン/アウトを行う際、CPUに負担をかけることなく

短時間で処理を完了し、画面全体だけでなく、
スプライト面や個々の背景にもフェイドイン/ア
ウトができる画像処理装置を実現できる。

4. 図面の簡単な説明

第1図は本発明の一実施例による画像処理装置
を示す図である。

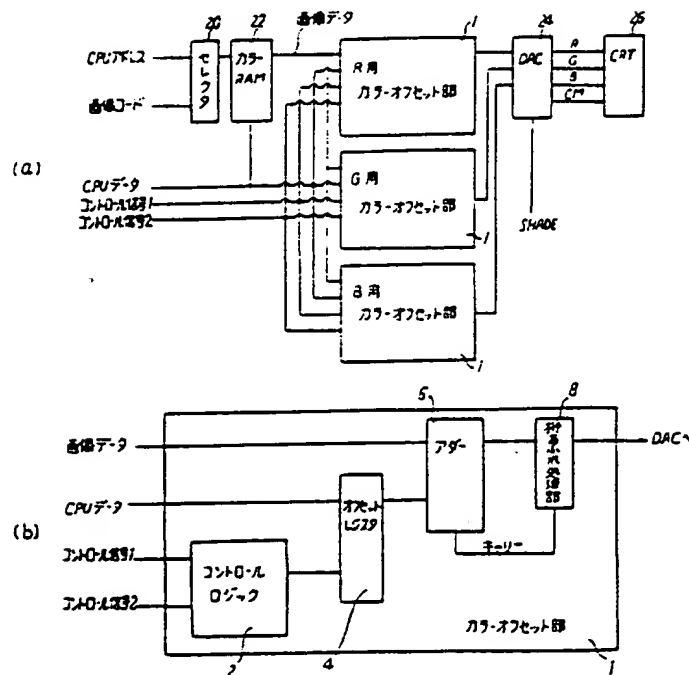
図において、

- 1…カラーオフセット部
- 2…コントロールロジック
- 4…オフセットレジスタ
- 6…アダー
- 8…桁あふれ処理部
- 20…セレクトラ
- 22…カラーRAM
- 24…DAC
- 26…CRT

出願人 株式会社 セガ・エンタープライゼス

代理人 弁理士 北 野 好 人

図面の浄書(内容に変更なし)



第1図

手続料金 (方式)

平成 7 年 11 月 6 日

特許庁長官 殿

1 事件の表示

平成2年 特許 第264472号

2 発明の名称

画像処理装置

3 補正をする者

事件との関係 特許出願人

株式会社 セガ・エンタープライゼス

4 代理人

東京都新宿区大塚町9番地
エクシード西谷2階
(8747) 弁理士 北野 好 人
電 話 (03) 5379-8181



5 補正命令の日付 日 発

6 補正により増加する請求項の数 な し

7 補正の対象

図 面

8 補正の内容

図面の浄書 (内容に変更なし)

